

LSCO 電極による PZT 強誘電体薄膜の疲労特性改善の研究

古澤 純和

土井 英和

1 はじめに

強誘電体ランダムアクセスメモリー (*Ferroelectric Random Access Memory*: F R A M) は、R O M の不揮発性、低消費電力性と R A M の高速ランダムアクセスという特性を備えた究極のメモリーである。フラッシュメモリーなどの不揮発性メモリーと比べて、書き換えスピードは 2 桁以上速く、書き換え回数は 6 桁以上も多い。F R A M には、残留分極が大きく、抗電圧が小さいものが好まれる。残留分極 (スイッチング電荷量) は $10\mu\text{C}/\text{cm}^2$ 以上、抗電圧は、低電圧で駆動させることを考えると、 0.8V 程度が限界となるだろう。現在、強誘電体メモリーとして最も一般的に開発研究されている強誘電体材料は、P Z T ($\text{Pb}(\text{Zr}_x, \text{Ti}_{1-x})\text{O}_3$) と、Y 1 と呼ばれている S B T ($\text{SrBi}_2\text{Ta}_2\text{O}_9$) である。Y 1 は残留分極は小さいが、下部電極として Pt 単層を用いても、P Z T の場合に認められるような膜疲労は見られない。一方、P Z T は残留分極は大きい Pt 単層での疲労は激しい。

ペロブスカイト型結晶構造をとる P Z T 強誘電体薄膜は、比較的成膜方法が確立されていて、何より大きな残留分極が得られ、キュリー温度も動作範囲内において十分大きい。この P Z T の特徴は Zr と Ti の配合比を変化させることにより、比誘電率、残留分極、キュリー温度などの値が変化することである。モル分率 (%) が $\text{Zr}/\text{Ti} = 52/48$ 付近に相境界 (Morphotropic Phase Boundary: M P B) があり、 $\text{Pb}(\text{Zr}_{0.52}, \text{Ti}_{0.48})\text{O}_3$ は比誘電率が極大値をとる。[2] 今回はこの $\text{Pb}(\text{Zr}_{0.52}, \text{Ti}_{0.48})\text{O}_3$ と、残留分極が大きくなる Ti リッチ側の $\text{Pb}(\text{Zr}_{0.4}, \text{Ti}_{0.6})\text{O}_3$ 、 $\text{Pb}(\text{Zr}_{0.2}, \text{Ti}_{0.8})\text{O}_3$ を用いた研究結果を報告する。電極材料として P Z T 強誘電体薄膜の弱点である膜疲労の問題を解決するために、近年盛んに研究されている金属酸化物 ($\text{La}_{0.5}, \text{Sr}_{0.5}$) (CoO_3) (L S C O) 電極を用いる。L S C O 電極の成膜方法として、レーザーアブレーション法、スパッタリング法などが報告されているが、成膜方法の相違は P Z T 強誘電体薄膜の特性に大きな影響を与える。P Z T 薄膜の強誘電性に影響を及ぼす因子については、不明の点が数多く残されている。L S C O はテンプレートとして $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ (B T O: チタン酸ビスマス) を用いることで P Z T の疲労特性を少なくすることができると報告されている。[1] B T O は SiO_2 のような非晶質基板上でも C 軸に優先的に成長し、その後の L S C O および P Z T の結晶成長にも大きな影響を及ぼす。

今回、我々がテンプレートとして用いた材料は、 SrTiO_3 (S T O: チタン酸ストロンチウム) である。この S T O は L S C O の格子定数 3.84\AA とのミスマッチの少ない物質で、格子定数は 3.91\AA である。また、L S C O 電極も Pt を下層に挿入することで、大きく導電性が変わってくる。我々が測定した結果では、L S C O 電極の下層に Pt を約 20nm 成膜しておくこと、およそ 3 ~ 4 桁も抵抗率が下がる。この Pt は、強誘電体材料との格子定数のミスマッチが小さく、反応性が低く、高温耐久性に優れている。そして最も注目する特徴は、F C C (Face Centered Cubic: 面心立方格子) 構造をとるため、自己配向性が強いことである。すなわち非晶質基板上でも (1 1 1) (2.265\AA) に強く配向し、表面の結晶方位が揃いやすい。したがって、Pt の上に結晶を成長させると、配向性の良い薄膜を得られやすくなる。しかし、Pt を直接 SiO_2 の上に成長させると、密着性が悪いので膜剥がれを起こしやすくなる。したがって、我々は S T O をさらに SiO_2 と Pt の間に成膜することにした。

今回、我々は S T O をテンプレートとして用いることにより、L S C O、あるいは P Z T の優先方位を C 軸に向け、これによる大きな残留分極値、そして疲労特性においても低下しないものが得られると考えた。この S T O、L S C O を用いたキャパシター構造によって、P Z T の疲労特性の改善をねらうことが本研究の目的である。

2 実験方法

SiO_2/Si 基板 (Si 単結晶の表面を熱酸化して研磨した基板) の上に 3 S U - 5 0 0 L P マグネトロンスパッタ装置を用いて、室温スパッタリングにより下部電極として、Pt、S T O、L S C O 薄膜を形成する。Pt を直接 SiO_2 上に成長させると、Pt が膜剥がれを起こす恐れがあるので、Pt を S T O で挟み込んだ型で下部電極を構成した ($\text{LSCO}/\text{STO}/\text{Pt}/\text{STO}/\text{SiO}_2/\text{Si}$)。その後、R T A (Rapid Thermal Annealing) 急速赤外線加熱の電気炉で結晶化させる。それぞれの Sample のスパッタ成膜条件は表 1 による。表の順番と記されているのは、スパッタする順番のことである。下部電極の膜厚はおよそ $30 \sim 40\text{nm}$ である。

次にゾルゲル法によって $\text{Pb}_{1-x}(\text{Zr}_x, \text{Ti}_{1-x})\text{O}_3$ 薄膜を成膜する。それぞれのゾルゲル溶液の原子比率は表 2 によるものを使用した。この P Z T ゾルゲル溶液中には成膜中の P b 欠損をあらかじめ考慮して P b を 1 0 % 余分に入れてある。この P Z T ゾルゲル溶液を 1 回スピンコーティングした後、空气中で $150^\circ\text{C}/5\text{min}$ 、 $400^\circ\text{C}/10\text{min}$ で加熱処理を行ない、水分や有機溶媒を蒸発させる。この操作を 4 回繰り返し返したのち R T A ($650^\circ\text{C}/20\text{min}$) で P Z T の結晶化をはかる。これによって得られた P

Sample 1 (RTA O_2 600°C/2min)

構成	順番	出力 (W)	時間 (min)	雰囲気 (SCCM)	圧力 (mTorr)
LSCO	4	100	10	$Ar : O_2 = 6 : 6$	20
STO	3	50	4	$Ar = 12$	20
Pt	2	100	4	$Ar = 12$	20
STO	1	50	4	$Ar = 12$	20

Sample 2 (RTA O_2 800°C/2min)

LSCO	4	150	10	$Ar : O_2 = 6 : 6$	20
STO	3	100	15	$Ar = 12$	20
Pt	2	100	4	$Ar = 12$	20
STO	1	100	5	$Ar = 12$	20

Sample 3 ~ Sample 4 (RTA O_2 700°C/2min)

LSCO	4	100	20	$Ar : O_2 = 6 : 6$	20
STO	3	100	15	$Ar = 12$	20
Pt	2	100	2	$Ar = 12$	20
STO	1	100	5	$Ar = 12$	20

Sample 5 (RTA O_2 800°C/2min)

LSCO	4	100	15	$Ar : O_2 = 6 : 6$	16
STO	3	50	15	$Ar = 12$	16
Pt	2	100	2	$Ar = 12$	16
STO	1	50	5	$Ar = 12$	16

Sample 6 (RTA O_2 700°C/2min)

LSCO	4	100	10	$Ar : O_2 = 6 : 6$	16
STO	3	50	30	$Ar : O_2 = 6 : 6$	16
Pt	2	100	2	$Ar = 12$	16
STO	1	50	5	$Ar = 12$	16

Sample 7 (RTA O_2 700°C/2min)

LSCO	4	100	10	$Ar : O_2 = 7.2 : 4.8$	16
STO	3	50	30	$Ar : O_2 = 7.2 : 4.8$	16
Pt	2	100	2	$Ar = 12$	16
STO	1	50	5	$Ar = 12$	16

Sample 8 (RTA O_2 700°C/2min)

LSCO	4	100	10	$Ar : O_2 = 8.4 : 3.6$	16
STO	3	50	30	$Ar : O_2 = 8.4 : 3.6$	16
Pt	2	100	2	$Ar = 12$	16
STO	1	50	5	$Ar = 12$	16

表 1: 下部電極スパッタリング成膜条件。

Z T 薄膜の厚みはおよそ 120nm となる。

最後に下部電極同様の出力で約 0.3mm の円形の上部電極を、メタルマスクを用いてスパッター蒸着した。上部電極形成は表 1 の LSCO、Pt を Pt/LSCO/PZT となるように構成する。以後同様に R T A $650^\circ\text{C}/2\text{min}$ で結晶化をはかった。途中 P Z T 薄膜について X 線回折パターン (CuK α) を、原子間力顕微鏡 (AFM) で下部電極 L S C O の表面、走査電子顕微鏡 (S E M) で P Z T 強誘電体キャパシターの断面を観察した。疲労特性の測定には強誘電体テスタ R T 6 6 A (Radiant Technologies) を使用した。

	組成比 (Zr : Ti)		組成比 (Zr : Ti)
Sample 1	52 : 48	Sample 5	40 : 60
Sample 2	52 : 48	Sample 6	40 : 60
Sample 3	52 : 48	Sample 7	40 : 60
Sample 4	20 : 80	Sample 8	40 : 60

表 2: 各 Sample の P Z T 強誘電体薄膜の組成比

3 結果と考察

図 1 は、Sample 5 における原子間力顕微鏡 (AFM) による、下部電極スパッターリング直後の表面 (左) と、 $800^\circ\text{C}/2\text{min}$ で結晶化をはかった後の表面 (右) の表面観察写真である。走査範囲は 500nm 、Z 軸は 30nm である。これを見ると、スパッター蒸着直後の L S C O 表面 (左) は凹凸が激しく、 $800^\circ\text{C}/2\text{min}$ の R T A 直後 (右) では、かなり平滑化が進むことがわかる。実際 $400^\circ\text{C}/2\text{min}$ 程度でも十分平滑化は行われる。しかし、下部電極の熱処理は膜疲労特性に影響してくると思われ、適切な温度で熱処理する必要がある。平滑化は、その次の層の P Z T ソルゲル溶液のスピコーティングを考えた場合も、非常に重要な問題となってくる。成膜特性の安定した P Z T 強誘電体薄膜を成膜するには、電極材料表面の平滑化は非常に重要である。

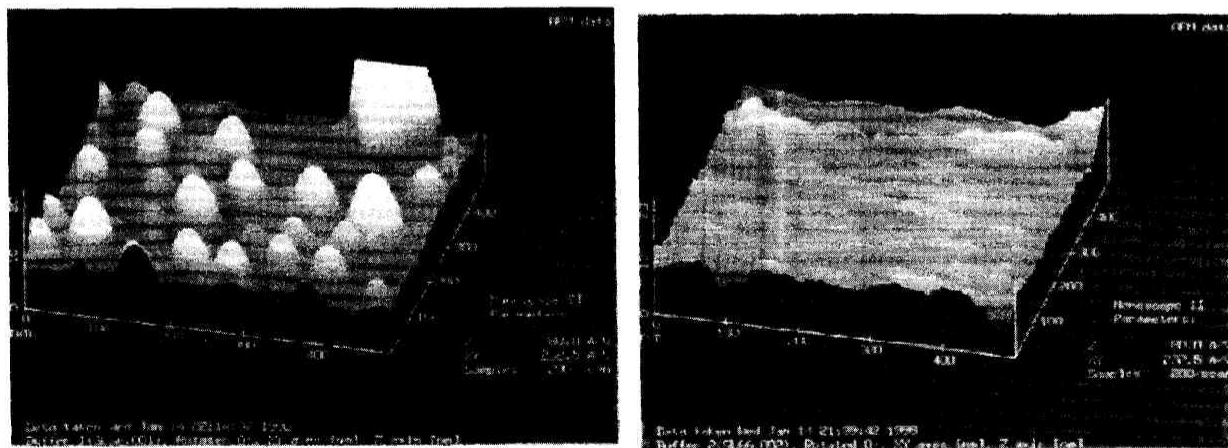


図 1: 下部電極の熱処理による電極表面の平滑化。下部電極成膜直後 (左) と $800^\circ\text{C}/2\text{min}$ で熱処理後 (右) の原子間力顕微鏡 (AFM) による下部電極表面 (Sample 5)。

図 2 の中央は、Sample 5 の P Z T 強誘電体薄膜形成後の X 線回折パターンである。図 2 左は Sample 5 の下部電極の R T A を $700^\circ\text{C}/2\text{min}$ 、右は Sample 5 の下部電極の R T A を $900^\circ\text{C}/2\text{min}$ としたものである。Pt は自己配向性が強いので、 39° 付近に (1 1 1) の強いピークが現われている。Pt 電極上に P Z T を成膜すると、(1 1 1) ピークが最も強くなるが、Sample 5 では L S C O 電極上に成膜したことを反映して、(1 1 1) ピークは微弱となる。STO をテンプレートとして Pt の上下に挿入して、その上に L S C O を成膜した電極を使用することにより P Z T ペロブスカイト型結晶粒子の配向特性は、ラン

ダム配向からずれて明らかに(100)ピークがより強くなっている。この(100)ピークは、900°Cが最も大きくなる。これより下部電極の熱処理温度が、PZT強誘電体薄膜の結晶方位に影響してくるという事が分かった。我々が行なった数多い実験例では、ほとんど全ての基板において、PZTのX線回折パターンに現れるピークはほぼ(100)、(110)のみとなっている。これはBTOをテンプレートとして用いたRameshらの得た結果^[1](優先配向がC軸となる)と同様の結果が得られるだろうという、我々の当初予想したPZTのC軸(100)優先配向と一致しない。これより、STOの結晶化温度が問題となってくる。PZTのC軸優先配向を促すために、さらに下部電極の高温での熱処理が必要とも考えられる。熱処理温度を高くするという事は、既存のシリコンプロセスとの整合性という観点から好ましくない。各層の熱処理温度は、その材料によって異なり、温度設定には十分注意が必要となる。

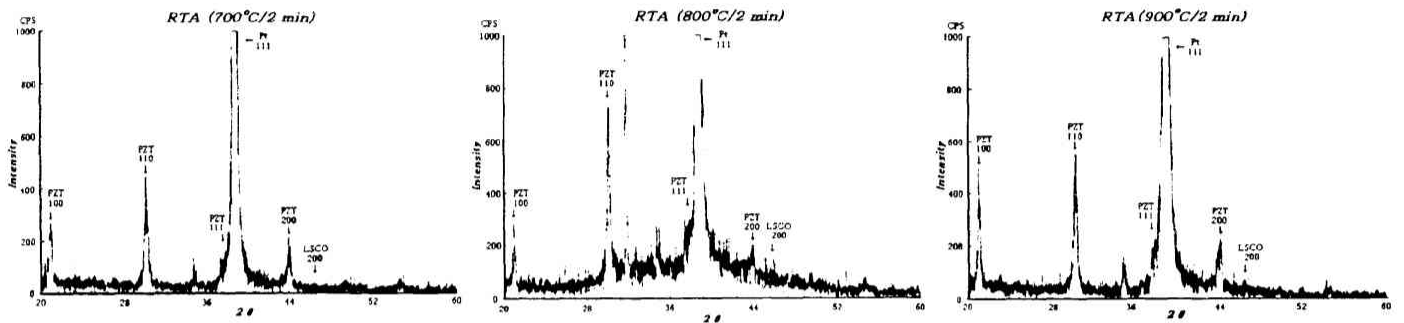


図2: X線回折パターン(XRD) 下部電極結晶化温度によるPZT結晶化への影響。700°/2minで熱処理(左)、800°/2minで熱処理(中央: Sample 5)、900°/2minで熱処理(右)

図3はSample 2の走査電子顕微鏡(SEM)の断面観察写真である。STOまたはLSCOは多原子分子であるため、Ptなどと比べると、スパッタリング速度は遅いと思われる。したがって図3の電極部分はPtが大部分を占め、STO、LSCOは非常に薄いと思われる。図2を見てもPtのピークが強く現れるのに対して、STO、LSCOのピークは非常に小さい。また、下部電極表面では図1で見たように平滑化がすすみ、PZTとの境界面も滑らかである。PZTペロブスカイト型結晶粒子も縦方向に成長しているようにも思える。

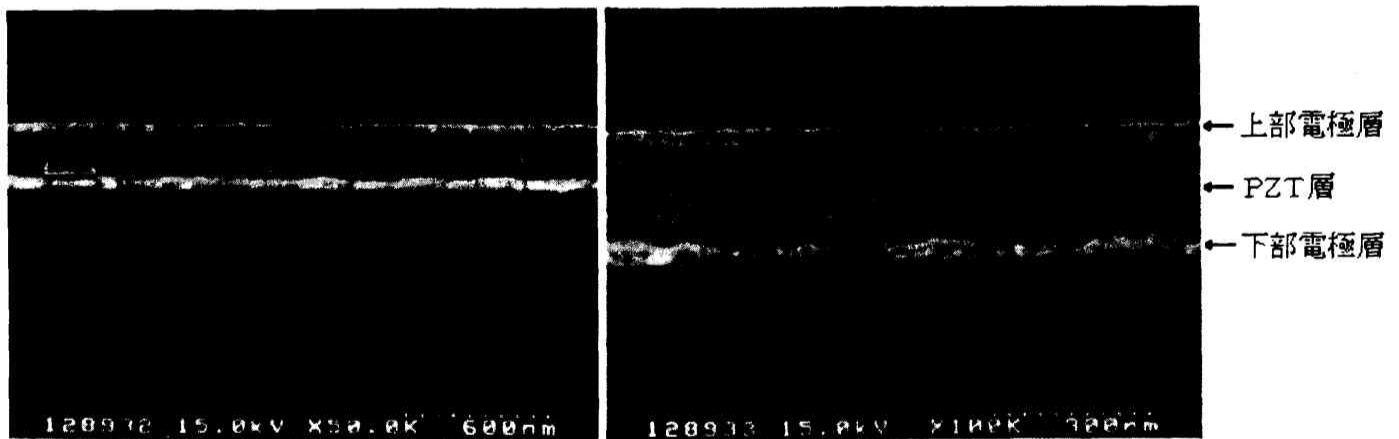


図3: 走査電子顕微鏡(SEM)によるSample 2の断面 ×50000(左)と×100000(右)

図4は各Sampleの疲労特性の結果である。Sample 1~Sample 4は駆動電圧5Vで疲労特性を測定し、Sample 5~Sample 8は駆動電圧3Vで疲労特性を測定した。Sample 4のみ、縦軸の最大値は60μC/cm²で、他は25μC/cm²である。PZTのZr:Ti組成比をTiリッチ側、すなわち40:60、もしくは20:80のものを使用すると、残留分極値は、増加の傾向にあり、Sample 3(52:48)と、Sample 4(20:80)を比較してみると、明らかに分極値の増加が見られる。疲労特性開始時で、Sample 4はSample 3の約3倍も大きくなっている。しかし、Sample 4では測定開始で50μC/cm²程度あった残留分極値が、10¹⁰Cycle付近では、その半分以下の20μC/cm²にまで低下し、かなり顕著に疲労が進行している。Tiリッチ側の

PZT強誘電体を使用すると、残留分極値の上昇は見られるが、膜疲労は、より顕著になってくる傾向がある。次に膜厚の変化で見てみる。今回の研究報告では、図3の膜厚を参考にして、マグネトロンスパッタ装置の出力、時間を変化させることで、相対的な膜厚を想定した。これまでの我々の研究でSTOの厚みが、PZT強誘電体薄膜の残留分極値の大きさを変化させることがわかっている。Sample 1での電極極板は非常に薄く、Sample 1と、Sample 2もしくはSample 3を比較してみても、厚くした方が残留分極値が大きくなっていることがわかるだろう。しかし、疲労特性を見る限り、Sample 1は疲労するよりむしろ、分極値が上昇していく傾向にある。これまでのSTOをテンプレートとして用いた実験のほとんどの基板で、膜疲労特性を測定した結果、残留分極値が $10^6 \sim 7$ Cycle程度までは上昇するこのような傾向が見られている。しかしこれは一概には言えず、下部電極のアニール温度にも依存しているようである。すなわち、下部電極のアニール温度の加減、もしくはSTO、LSCOの膜厚、表面の膜質などにより、その次の層の結晶化に大きな影響を与え、膜疲労特性に変化が生じたと考えられる。また、スパッタリング時の雰囲気で見ると、上部層のSTO、もしくはLSCOの雰囲気がAr 100%よりも、 O_2 をいくらか混ぜておいた方が、膜疲労特性改善に効果があるとみられる。残留分局値の大きさでは、50%、40%、30%と酸素の濃度を变化させたSample 6、Sample 7、Sample 8の結果を見ると、50% O_2 雰囲気のSample 6が最も残留分極値が大きくなっている。しかし、30% O_2 雰囲気のSample 8は、Sample 6、Sample 7と比べて 10^{10} Cycleまで疲労が見られない。今回の研究報告は、膜疲労特性を改善することを念頭においているので、3Vで疲労を起こさないSample 8は、注目すべき結果である。高集積化を考えた場合、 10^{10} Cycleまで $10 \mu C/cm^2$ を上まわるSample 8は、大きな成果と言えるだろう。なお、このSample 8は2Vでの疲労測定でも、 10^{10} Cycle付近まで約 $10 \mu C/cm^2$ の分極値を保った。

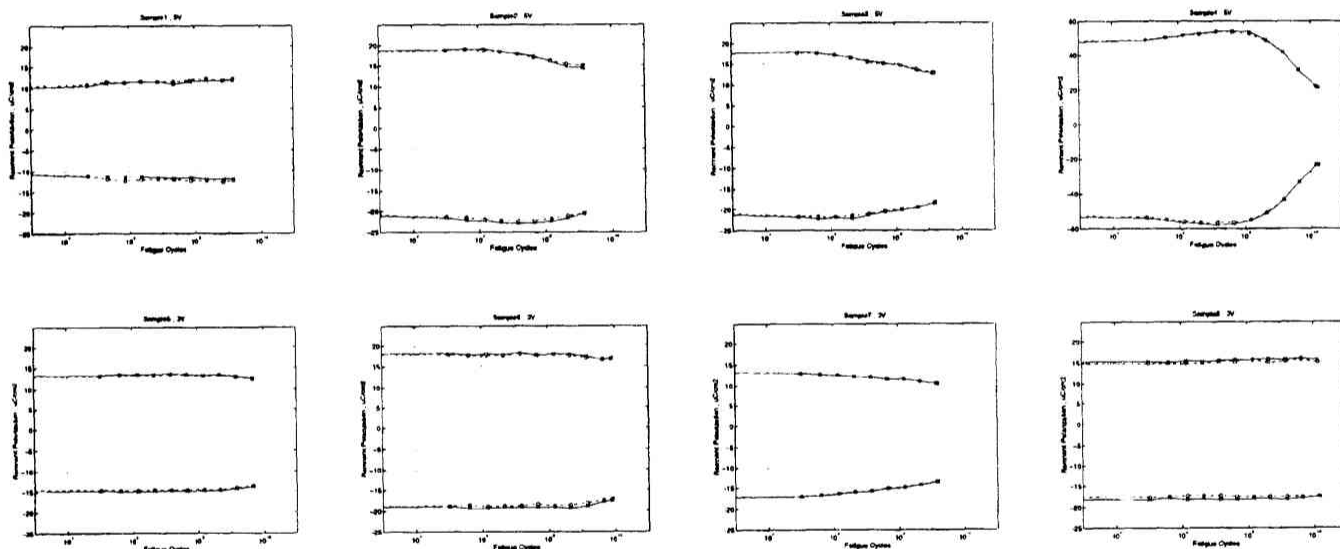


図4: 各 Sample の疲労特性

図5は各 Sample のヒステレシス特性である。Sample 1 ~ Sample 3は、疲労測定前のヒステレシス特性を、Sample 4 ~ Sample 8は、疲労測定前後（前：青、後：赤）のヒステレシス特性を示している。測定は、全て5V、3V、2Vで行なった。Tiリッチ側のSample 4では、抗電圧（分極値がゼロになるV軸との交点の電圧）が大きくなり、ヒステレシスは形が悪く、低電圧では極端に残留分極値が小さくなる。低電圧で駆動させるFRAMを考えたとき、これは致命的である。また、Sample 5 ~ Sample 8を見ると、疲労前後でのヒステレシスに、特に大きな違いは見られない。これは疲労後のPZT強誘電体薄膜が、ほとんど変化していないことを示している。膜疲労を起こすPZT強誘電体薄膜では、疲労測定前後のヒステレシス特性に変化が見られることが多い (Sample 4)。また、下部電極STO、LSCOのマグネトロンスパッタリング雰囲気を变化させたSample 6 ~ Sample 8は、50%、40%、30%と、 O_2 濃度を变化させると、ヒステレシス特性の飽和分極値も大きくなっていく。また、Sample 1はSample 2よりSTOが薄くなっているが、飽和分極値はSample 2の方がSample 1よりも大きくなっている点は注目される。

我々が行ってきた数多い実験において、Pt/Ti/SiO₂/Si基板上的LSCO/STO下部電極では、熱処理の際に下部電極にポイドが発生し、SiO₂基板上的LSCO/STO/Pt下部電極では、Ptの膜剥がれを起こした。これらの結果を踏まえて、我々はSTOによるPtのサンドイッチ構造で解決した。下部STOは、PtとSiO₂との糊のような役目として、上部STOは、LSCO電極のテンプレートとして用いた。図2のXRDの結果から、STOをテンプレートとして用いたLSCO電極上のPZT強誘電体薄膜の結晶方位が、(100)、(110)ピークに比較的強く現れた。これはPt層の上にST

O、LSCOを成膜したためと考えられる。すなわち、Ptは非晶質基板上でも(111)に強く配向し、これによって表面の結晶方位が揃い、STO、LSCOそしてPZTに至る結晶化を促進させたと考えられ、今回の実験における我々の見解がほぼ正しかったと言える。我々が独自にテンプレートとしてSTOを選び、この上にLSCO結晶を成長させた電極を用いることで、PZT強誘電体薄膜の疲労を抑制できたことは、大きな成果である。

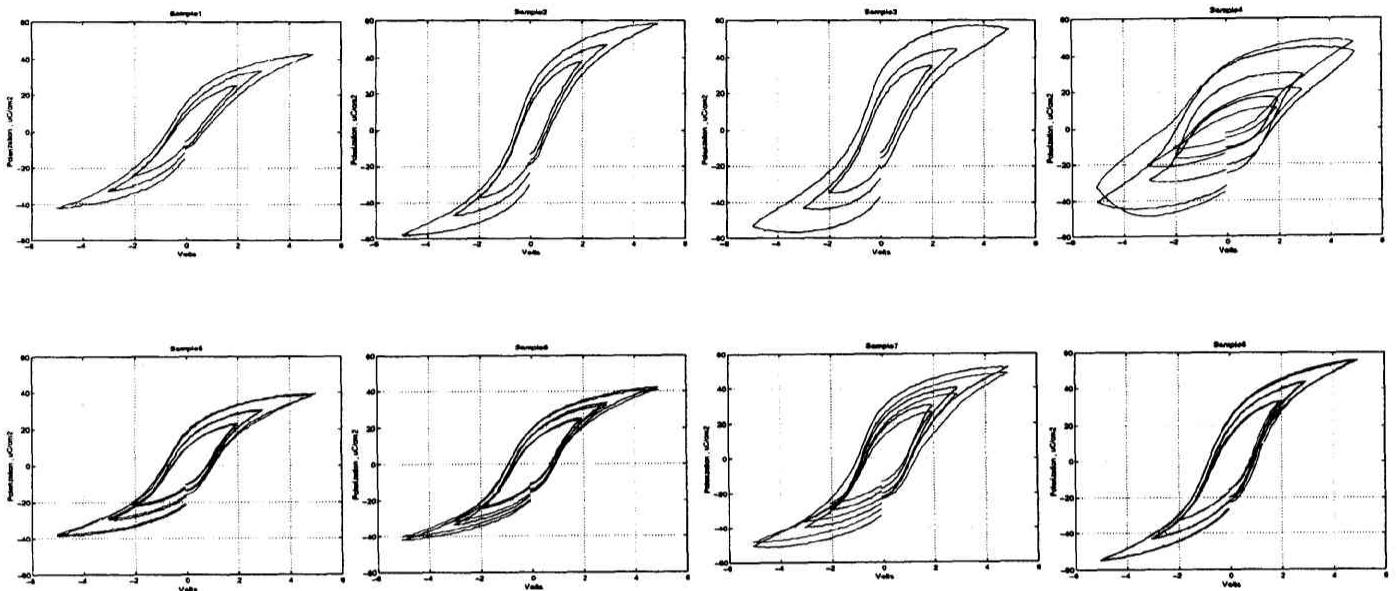


図 5: 各 Sample のヒステレシス特性 膜疲労測定前 (青) と膜疲労測定後 (赤)

4 今後の課題

STOの厚みを厚くすると 残留分極値が大きくなる傾向があることは前にも述べた。しかし、厚ければ厚いほどこのような傾向が、強く現れるというものでもなく、適度な厚みが最適値となるようである。これらの下部電極の熱処理温度が、次の層のPZTの結晶化に大きな影響を及ぼす。下部電極の熱処理温度はPZTの優先方位に関係してくるとみらる。従って、下部電極の結晶化は今後の大きな課題となる。

上部電極成膜後の熱処理も 膜疲労特性およびヒステレシス特性に影響すると見られる。考察でも述べたが、各層の結晶化温度はそれらの材料によって異なるため、最適温度が決定しにくく、高温での熱処理は前の層を壊しかねないという問題も生ずる。これらのことより、下部電極の高温でのスパッター蒸着が考えられる。STOの室温スパッター蒸着後、STOの結晶化温度で熱処理を行ない、再びLSCOの室温スパッター蒸着後、LSCOの結晶化温度で熱処理を行うことが考えられる。また、PZTゾルゲル溶液をTiリッチ側のものを用い、これによる低電圧での疲労特性改善が、今後の大きな課題の一つとなるだろう。

参考文献

- [1] Journal of Electronic Materials, Vol. 23, No. 1, 1994
- [2] 「消えないICメモリ-FRAMのすべて」, 川合 知二 著, 工業調査会